

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01123292
PUBLICATION DATE : 16-05-89

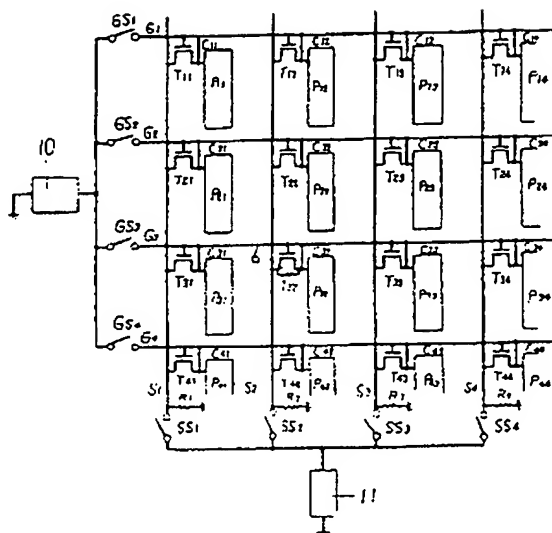
APPLICATION DATE : 09-11-87
APPLICATION NUMBER : 62282453

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : TAKAHARA HIROSHI;

INT.CL. : G09G 3/36 G01R 31/28 G02F 1/133
H01L 27/12

TITLE : METHOD FOR INSPECTING ACTIVE
MATRIX ARRAY



ABSTRACT : PURPOSE: To easily detect a defect or a thin film transistor TFT by setting at least one of the drain terminal of the TFT and a picture element electrode and a gate signal line to the short-circuit state.

CONSTITUTION: Connection means GSm to all gate signal lines are closed, and a voltage applying means 10 generates a signal to turn off TFTs. Next, a connection means SS₁ to a source signal line is closed, and a voltage measuring means 11 measures the voltage between both ends of a pickup resistance R₁. In this case, no voltage is measured by the voltage measuring means if TFTs connected to the source signal line S₁ are indefectible. When the connection means SS₁ is opened and a connection means SS₂ is closed, a negative voltage is measured by the voltage measuring means 11 because of a current path passing the resistance R₂, a short-circuit defect 6, a short-circuit part C₃₂, and G₃, and the occurrence of a source-drain short-circuit defect in TFTs connected to a source signal line S₂ is detected. Thus, an active matrix array is quickly checked without contacting.

COPYRIGHT: (C)1989,JPO

⑫ 公開特許公報(A)

平1-123292

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)5月16日

G 09 G 3/36
 G 01 R 31/28
 G 02 F 1/133
 H 01 L 27/12

3 2 7

8621-5C
 U-6912-2G
 7370-2H
 A-7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 アクティブマトリックスアレイの検査方法

⑦ 特 願 昭62-282453

⑧ 出 願 昭62(1987)11月9日

⑨ 発 明 者 高 原 博 司 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑩ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑪ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

アクティブマトリックスアレイの検査方法

2. 特許請求の範囲

アクティブマトリックスアレイであって、複数の薄膜トランジスタのドレイン端子と前記ドレイン端子に接続されている絵素電極のうち少なくとも一方と前記薄膜トランジスタが接続されたゲート信号線とを短絡し、次に任意の前記ゲート信号線に信号を印加し、前記薄膜トランジスタが接続されたソース信号線への出力信号を検出することにより前記薄膜トランジスタの欠陥を検出することを特徴とするアクティブマトリックスアレイの検査方法。

3. 発明の詳細な説明

産業上の利用分野

本発明はアクティブマトリックス型液晶表示装置に用いるアクティブマトリックスアレイの検査方法に関するものである。

従来の技術

近年、液晶表示装置の絵素数増大に伴って、走査線数が増え、従来から用いられている単純マトリックス型液晶表示装置では表示コントラストや応答速度が低下するため、各絵素にスイッチング素子を配置したアクティブマトリックス型液晶表示装置が利用されつつある。しかしながら前記アクティブマトリックス型液晶表示装置に用いるアクティブマトリックスアレイは一枚の基板に数万個以上の薄膜トランジスタを形成しなければならない。その為すべての薄膜トランジスタを無欠陥で形成することは非常に高度な技術を要する。したがって現在の技術ではアクティブマトリックスアレイの良否を検査し、良否の判別をおこなう必要がある。そこで容易な検査方法がまちのぞまれている。

以下図面を参照しながら従来のアクティブマトリックスアレイの検査方法の一例について説明する。

第4図はアクティブマトリックスアレイの一部拡大図である。ただし以下の図面において説明に

不用な箇所は省略してあり、また一部拡大あるいは縮小した部分が存在する。また同一記号・同一番号の箇所は同一内容あるいは同一構成の部分である。第4図において1はゲート信号線、2はソース信号線、3は絶縁体膜、4はドレイン端子、5は絵素電極である。まだ図中の点線内の部分は薄膜トランジスタ（以下TFTと呼ぶ）を構成している。第5図は第4図のアクティブマトリックスアレイの等価回路である。第5図において G_m （ただし m は整数）はゲート信号線、 S_n （ただし n は整数）はソース信号線、 T_{mn} （ただし $m \cdot n$ は整数）はTFT、 P_{mn} （ただし $m \cdot n$ は整数）は絵素電極である。

以下、従来のアクティブマトリックスアレイの検査方法について述べる。第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図であり、第6図において6はTFTのソース・ドレイン間短絡欠陥であり、7・8はプローブ、9は抵抗値測定手段である。ここでTFTの絵素欠陥について説明する。通常、絵素欠陥

された絵素電極に圧接し、プローブ7・8間の抵抗値を測定することにより欠陥を検出していた。第6図の場合プローブ7をソース信号線 S_z に、プローブ8を絵素電極 P_{yz} に圧接し、前記プローブ7・8間の抵抗値を測定した際、通常よりも低い抵抗値が測定され、ゆえにTFTの T_{yz} のソース・ドレイン間短絡欠陥6を検出することができる。

発明が解決しようとする問題点

しかしながら従来のアクティブマトリックスアレイの検査方法ではTFTのソース・ドレイン間短絡欠陥の検出はプローブを各絵素電極に圧接し、抵抗値を測定するしか手段がなかった。そのためプローブにより絵素電極などが損傷するという問題があり、またプローブの位置決めなどに長時間を要し、絵素数が数万点以上となるととても実用にたえうるものではなかった。

本発明は上記問題点に鑑み、TFTの欠陥検査が非常に容易なアクティブマトリックスアレイの検査方法を提供するものである。

問題点を解決するための手段

と呼ばれているものには2種類ある。1つはTFTのゲート・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絵素電極がゲート信号線に接続されているため、絵素が非点燈状態となる。したがって黒欠陥となる。他の1つはTFTのソース・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絵素電極がソース信号線に接続されているため、絵素電極に信号が常時ながれこむ。したがって常時点燈状態となる白欠陥となる。黒欠陥と白欠陥を比較した場合人間の視覚には前記白欠陥がめだつため、白欠陥がアクティブマトリックスアレイ内で多く発生している場合、表示品質をいちじるしく低下させ、したがって前記アクティブマトリックスアレイは液晶表示パネルとして組み立てた製品とすることはできない。ゆえにアクティブマトリックスアレイでは白欠陥となるTFTのソース・ドレイン間短絡欠陥の有無を検査することが重要となる。そこで従来のTFTのソース・ドレイン間短絡欠陥の検査はまずプローブ7をソース信号線に圧接し、次にプローブ8を各TFTが接続

上記問題点を解決するため本発明のアクティブマトリックスアレイの検査方法は複数のTFTのドレイン端子と前記ドレイン端子に接続されている絵素電極のうち少なくとも一方と前記TFTが接続されたゲート信号線とを短絡し、前記ゲート信号線に順次、信号を印加するとともに、前記TFTが接続されたソース信号線からの出力信号を検出することによりTFTの欠陥を検出するものである。

作用

本発明はTFTのドレイン端子と絵素電極とのうち少なくとも一方とゲート信号線とを短絡状態にすることにより信号をプローブを用いず、ゲート信号線から短絡部を通じて印加することができる。したがって前記TFTにソース・ドレイン間短絡欠陥が発生しておればソース信号線に信号が出力されることにより前記欠陥を検出することができる。

実施例

以下本発明の一実施例のアクティブマトリックス

不用な箇所は省略してあり、また一部拡大あるいは縮小した部分が存在する。また同一記号・同一番号の箇所は同一内容あるいは同一構成の部分である。第4図において1はゲート信号線、2はソース信号線、3は絶縁体膜、4はドレイン端子、5は絵素電極である。また図中の点線内の部分は薄膜トランジスタ（以下TFTと呼ぶ）を構成している。第5図は第4図のアクティブマトリックスアレイの等価回路である。第5図においてGm（ただしmは整数）はゲート信号線、Sn（ただしnは整数）はソース信号線、T_{mn}（ただしm・nは整数）はTFT、P_{mn}（ただしm・nは整数）は絵素電極である。

以下、従来のアクティブマトリックスアレイの検査方法について述べる。第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図であり、第6図において6はTFTのソース・ドレイン間短絡欠陥であり、7・8はプローブ、9は抵抗値測定手段である。ここでTFTの絵素欠陥について説明する。通常、絵素欠陥

と呼ばれているものには2種類ある。1つはTFTのゲート・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絵素電極がゲート信号線に接続されているため、絵素が非点燈状態となる。したがって黒欠陥となる。他の1つはTFTのソース・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絵素電極がソース信号線に接続されているため、絵素電極に信号が常時ながれこむ。したがって常時点燈状態となる白欠陥となる。黒欠陥と白欠陥を比較した場合人間の視覚には前記白欠陥がめだつため、白欠陥がアクティブマトリックスアレイ内で多く発生している場合、表示品質をいちじるしく低下させ、したがって前記アクティブマトリックスアレイは液晶表示パネルとして組みたて製品とすることはできない。ゆえにアクティブマトリックスアレイでは白欠陥となるTFTのソース・ドレイン間短絡欠陥の有無を検査することが重要となる。そこで従来のTFTのソース・ドレイン間短絡欠陥の検査はまずプローブ7をソース信号線に圧接し、次にプローブ8を各TFTが接続

された絵素電極に圧接し、プローブ7・8間の抵抗値を測定することにより欠陥を検出していた。第6図の場合プローブ7をソース信号線S_zに、プローブ8を絵素電極P_zに圧接し、前記プローブ7・8間の抵抗値を測定した際、通常よりも低い抵抗値が測定され、ゆえにTFTのT_zのソース・ドレイン間短絡欠陥6を検出することができる。

発明が解決しようとする問題点

しかしながら従来のアクティブマトリックスアレイの検査方法ではTFTのソース・ドレイン間短絡欠陥の検出はプローブを各絵素電極に圧接し、抵抗値を測定するしか手段がなかった。そのためプローブにより絵素電極などが損傷するという問題があり、またプローブの位置決めなどに長時間を要し、絵素数が数万点以上となるととても実用にたえうるものではなかった。

本発明は上記問題点に鑑み、TFTの欠陥検査が非常に容易なアクティブマトリックスアレイの検査方法を提供するものである。

問題点を解決するための手段

上記問題点を解決するため本発明のアクティブマトリックスアレイの検査方法は複数のTFTのドレイン端子と前記ドレイン端子に接続されている絵素電極のうち少なくとも一方と前記TFTが接続されたゲート信号線とを短絡し、前記ゲート信号線に順次、信号を印加するとともに、前記TFTが接続されたソース信号線からの出力信号を検出することによりTFTの欠陥を検出するものである。

作用

本発明はTFTのドレイン端子と絵素電極のうち少なくとも一方とゲート信号線とを短絡状態にすることにより信号をプローブを用いず、ゲート信号線から短絡部を通じて印加することができる。したがって前記TFTにソース・ドレイン間短絡欠陥が発生しておればソース信号線に信号が出力されることにより前記欠陥を検出することができる。

実施例

以下本発明の一実施例のアクティブマトリック

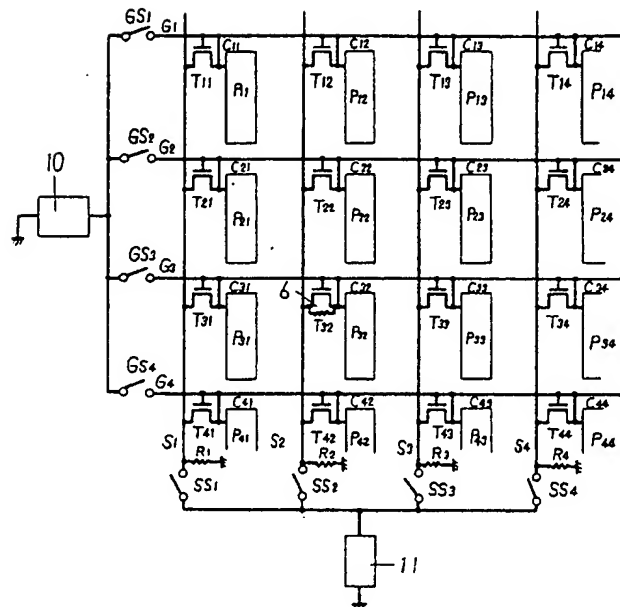
4. 図面の簡単な説明

第1図は本発明のアクティブマトリクスアレイの検査方法を説明するための説明図、第2図(a) (b)は短絡部形成用構成体の平面図および断面図、第3図は短絡部形成用構成体の使用方法を説明するための説明図、第4図はアクティブマトリクスアレイの一部拡大平面図、第5図はアクティブマトリクスアレイの等価回路図、第6図は従来のアクティブマトリクスアレイの検査方法を説明するための説明図である。

1 ……ゲート信号線、2 ……ソース信号線、3 ……絶縁体膜、4 ……ドレイン端子、5 ……絵素電極、6 ……短絡欠陥、7・8 ……プローブ、9 ……抵抗値測定手段、10 ……電圧印加手段、11 ……電圧測定手段、12 ……絶縁ゴム、13 ……導電ゴム、 $G_1 \sim G_4$ ……ゲート信号線、 $S_1 \sim S_2$ ……ソース信号線、 $T_{11} \sim T_{44}$ ……薄膜トランジスタ、 $P_{11} \sim P_{44}$ ……絵素電極、 $GS_1 \sim GS_4$ ……ゲート接続手段、 $SS_1 \sim SS_4$ ……ソース接続手段、 $C_{11} \sim C_{44}$ ……短絡部。

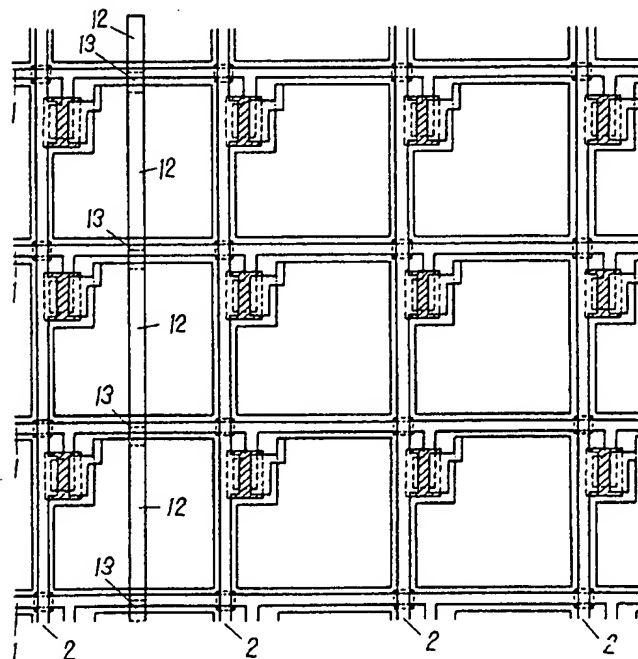
6 ……短絡欠陥
10 ……電圧印加手段
11 ……電圧測定手段
 $G_1 \sim G_4$ ……ゲート信号線
 $S_1 \sim S_2$ ……ソース信号線
 $T_{11} \sim T_{44}$ ……薄膜トランジスタ
 $P_{11} \sim P_{44}$ ……絵素電極
 $GS_1 \sim GS_4$ ……ゲート接続手段
 $SS_1 \sim SS_4$ ……ソース接続手段
 $C_{11} \sim C_{44}$ ……短絡部

第1図

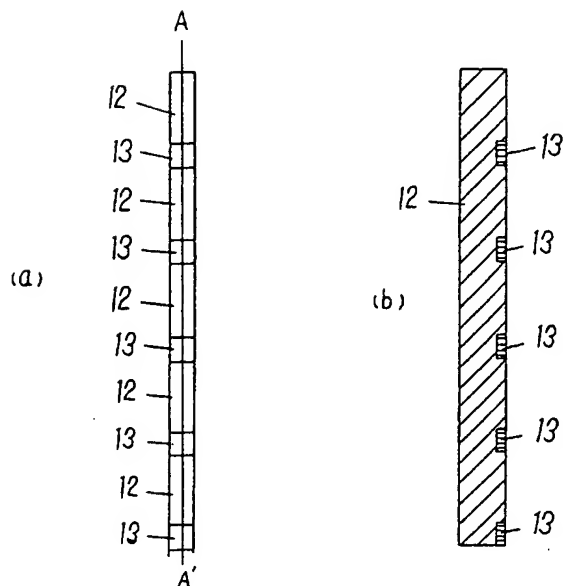


12 ……絶縁ゴム
13 ……導電ゴム

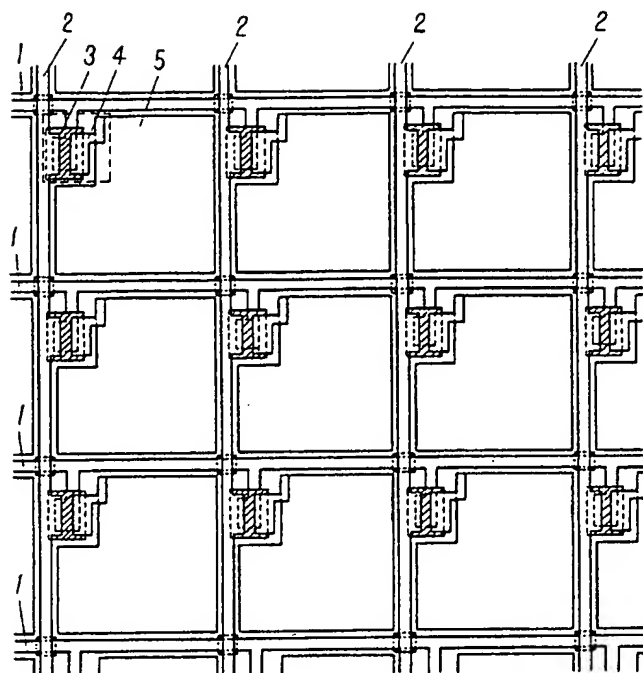
第3図



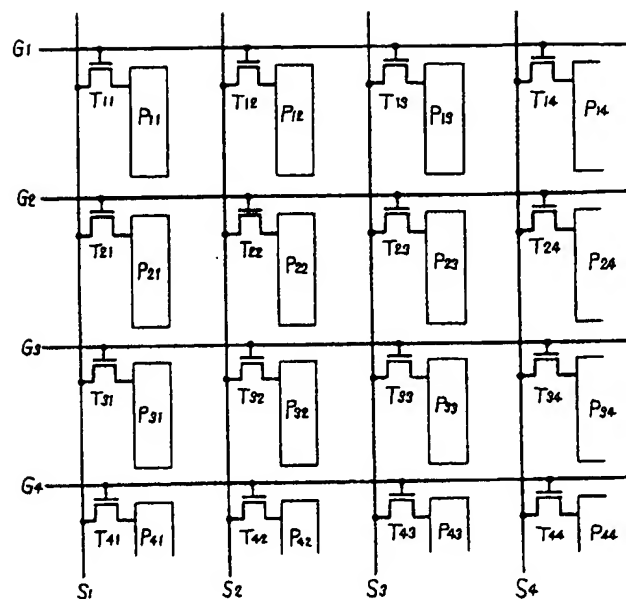
第2図



第 4 図



第 5 図



- 6 - ソース・ドレイン間短絡欠陥
- 7, 8 - プローブ
- 9 - 抵抗値測定手段

第 6 図

